

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representation of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY

As rescanning documents *will not* correct images, please do not report the images to the Image Problem Mailbox.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-031138

(43)Date of publication of application : 31.01.1995

(51)Int.Cl.

H02M 3/155

(21)Application number : 05-168822

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 08.07.1993

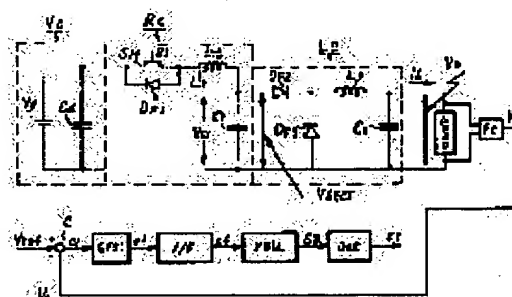
(72)Inventor : MIURA KAZUTOSHI

(54) RESONANT DC/DC CONVERTER

(57)Abstract:

PURPOSE: To provide a low noise miniature converter by constituting the converter of a single transistor series resonance circuit, a circuit for rectifying and smoothing the voltage of a resonance capacitor, and an output voltage control circuit, thereby simplifying the circuitry.

CONSTITUTION: When a gate signal s_1 synchronized with a pulse (pf) from a voltage/frequency converter V/F is fed to a switching element SM, a resonance current I_L flows between a resonance reactor L_r and a resonance capacitor C_r and thereby a resonance voltage V_{cr} appears across the resonance capacitor C_r . Voltage control is conducted by comparing a voltage command value V_{ref} with a detected value V_L through a comparator C, feeding the difference (e_r) to a voltage controlled compensation circuit $G(s)$, and controlling the output pulse (pf) from the V/F based on an output (e_f) from the circuit $G(s)$. Since the series resonance circuit is constituted of a single transistor and the resonance voltage thereof is controlled directly, the circuitry is simplified and a low noise, low loss, miniature resonance DC/DC converter is obtained.



LEGAL STATUS

[Date of request for examination] 31.08.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3157359

[Date of registration] 09.02.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-31138

(43) 公開日 平成7年(1995)1月31日

(51) Int.Cl.⁹

H 0 2 M 3/155

識別記号

庁内整理番号

F I

技術表示箇所

Q 8726-5H

H 8726-5H

審査請求 未請求 請求項の数 5 O L (全 9 頁)

(21) 出願番号

特願平5-168822

(22) 出願日

平成5年(1993)7月8日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 三浦 和敏

東京都府中市東芝町1番地 株式会社東芝

府中工場内

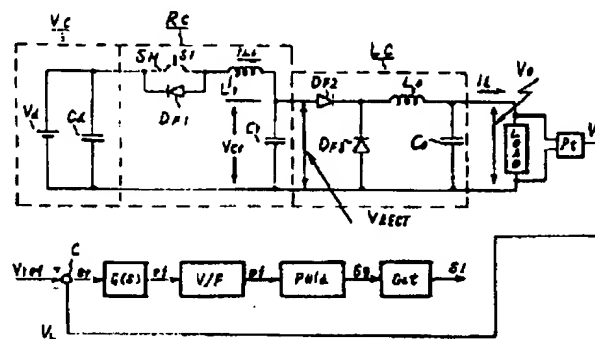
(74) 代理人 弁理士 則近 憲佑

(54) 【発明の名称】 共振形DC/DCコンバータ

(57) 【要約】

【目的】 共振コンデンサの両端に設けられる高周波変圧器を省略し、小型軽量、無騒音化を図った共振形DC/DCコンバータ。

【構成】 直流電源に並列接続される帰還ダイオードが逆並列に接続されたスイッチング素子と共振リアクトルと共振コンデンサから成る直列共振回路と、前記共振コンデンサの電圧を整流し平滑する平滑回路と、該平滑回路の出力端に接続される負荷装置と、該負荷装置に印加される電圧を検出する電圧検出器と、負荷電圧指令値と前記電圧検出器の検出値とを比較しその偏差を増幅する制御補償回路と、該制御補償回路の出力信号の値に比例するパルス信号を発生する電圧/周波数変換器と、前記パルス信号に同期したパルスを実記スイッチング素子に与える手段を具備して成る共振形DC/DCコンバータ。



1

【特許請求の範囲】

【請求項 1】 直流電源に並列接続される帰還ダイオードが逆並列に接続されたスイッチング素子と共振リアクトルと共振コンデンサから成る直列共振回路と、前記共振コンデンサの電圧を整流し平滑する平滑回路と、該平滑回路の出力端に接続される負荷装置と、該負荷装置に印加される電圧を検出する電圧検出器と、負荷電圧指令値と前記電圧検出器の検出値とを比較しその偏差を増幅する制御補償回路と、該制御補償回路の出力信号の値に比例するパルス信号を発生する電圧／周波数変換器と、前記パルス信号に同期したパルスの前記スイッチング素子に与える手段を具備して成る共振形 DC/DC コンバータ。

【請求項 2】 直流電源に並列接続される帰還ダイオードが逆並列に接続されたスイッチング素子と共振リアクトルと共振コンデンサから成る直列共振回路と、前記共振コンデンサの電圧を整流し平滑する平滑回路と、該平滑回路の出力端に接続される負荷装置と、該負荷装置に並列接続される無負荷或いは軽負荷時にオンされるスイッチとダミー抵抗の直列回路と、前記負荷装置に印加される電圧を検出する電圧検出器と、負荷電圧指令値と前記電圧検出器の検出値とを比較しその偏差を増幅する制御補償回路と、該制御補償回路の出力信号の値に比例するパルス信号を発生する電圧／周波数変換器と、前記パルス信号に同期したパルスの前記スイッチング素子に与える手段を具備して成る共振形 DC/DC コンバータ。

【請求項 3】 直流電源に並列接続される帰還ダイオードが逆並列に接続されたスイッチング素子と共振リアクトルと共振コンデンサから成る直列共振回路と、前記共振コンデンサの電圧を整流し平滑する平滑回路と、該平滑回路の出力端に接続される負荷装置と、該負荷装置に印加される電圧を検出する電圧検出器と、負荷電圧指令値と前記電圧検出器の検出値とを比較しその偏差を増幅する制御補償回路と、前記負荷装置の電流を検出する電流検出器と、該電流検出器の検出値と前記制御補償回路の出力信号とを加算する加算器と、該加算器の出力信号の値に比例するパルス信号を発生する電圧／周波数変換器と、前記パルス信号に同期したパルスの前記スイッチング素子に与える手段を具備して成る共振形 DC/DC コンバータ。

【請求項 4】 直流電源に並列接続される帰還ダイオードが逆並列に接続されたスイッチング素子と共振リアクトルと共振コンデンサから成る直列共振回路と、前記共振コンデンサの電圧を整流し平滑する平滑回路と、該平滑回路の出力端に接続される負荷装置と、該負荷装置に印加される電圧を検出する電圧検出器と、負荷電圧指令値と前記電圧検出器の検出値とを比較しその偏差を増幅する制御補償回路と、前記負荷装置に印加される電圧の微分値を求める微分回路と、該微分回路の微分値と

2

前記制御補償回路の出力信号とを加算する加算器と、該加算器の出力信号の値に比例するパルス信号を発生する電圧／周波数変換器と、前記パルス信号に同期したパルスの前記スイッチング素子に与える手段を具備して成る共振形 DC/DC コンバータ。

【請求項 5】 直流電源に並列接続される帰還ダイオードが逆並列に接続されたスイッチング素子と共振リアクトルと共振コンデンサから成る直列共振回路と、前記共振コンデンサの電圧を整流し平滑する平滑回路と、該平滑回路の出力端に接続される負荷装置と、該負荷装置に印加される電圧を検出する電圧検出器と、負荷電圧指令値と前記電圧検出器の検出値とを比較しその偏差を増幅する制御補償回路と、前記直流電源の電圧を検出する電源電圧検出器と、該電源電圧検出器の検出値と前記制御補償回路の出力信号とを加算する加算器と、該加算器の出力信号の値に比例するパルス信号を発生する電圧／周波数変換器と、前記パルス信号に同期したパルスの前記スイッチング素子に与える手段を具備して成る共振形 DC/DC コンバータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、LC 共振を利用して、直流電源から異なる直流電圧を得る共振形 DC/DC コンバータに関する。

【0002】

【従来の技術】 図 7 は、従来の共振形 DC/DC コンバータの主回路構成を示す。図中、 V_{d1} 、 V_{d2} は直流電源、 $SM1$ 、 $SM2$ は自己消弧機能を有するスイッチング素子、 $D1$ 、 $D2$ は帰還ダイオード、 L_r と C_r は共振リアクトルと共振コンデンサである。TR は単相高周波変圧器、RECT はダイオードブリッジ整流器、 L_0 、 C_0 は負荷側の LC フィルタを構成するリアクトルとコンデンサ、 P_t は電圧検出器である。

【0003】 図 8 は、図 7 の主回路で構成される共振形 DC/DC コンバータを制御する制御ブロック図である。図において、電圧指令 V_{ref} と出力電圧 V_L 比較し、その出力偏差 e_r から電圧制御補償回路 $G(s)$ を介して制御信号 e_f を得る。信号 e_f は電圧／周波数変換器 V/F に入力し、 e_f に比例したパルス周波数 p_f に変換される。パルス p_f は波形整形回路 P_{wid} に入力され、幅 t_{s1} と t_{s2} のパルス s_{g1} と s_{g2} に修正され、ゲート回路 $Gat1$ 、 $Gat2$ を介して、ゲート信号 $s1$ 、 $s2$ として図 7 のスイッチング素子 $SM1$ 、 $SM2$ に与えられる。

【0004】 図 9 は、前述従来の共振形 DC/DC コンバータの動作波形図である。その動作は、電圧／周波数変換器 V/F の出力 p_f に同期し、一定幅 t_{s1} 、 t_{s2} に修正されたゲート信号 $s1$ 、 $s2$ を交互にスイッチング素子 $SM1$ 、 $SM2$ に与える。

【0005】 この場合、スイッチング素子 $SM1$ と $SM2$ を

50

3

零電流でオフさせるためにゲート信号 s_1 と s_2 の幅 t_s (t_{s1} , t_{s2}) は、 $t_r/2 < t_s < t_r$ の範囲に設定して与えられる（零電流スイッチング動作と呼ばれる）。その結果 dv/dt を抑えるスナバ回路の省略、スイッチング損失の低減、 di/dt による素子破壊防止等の効果がある。図 9 の波形は、 t_s の幅を $t_s = 3 \cdot t_f/4$ に設定した場合を示す。

【0006】スイッチング素子 SM1 にゲート信号 s_1 が与えられると、共振電流 I_{Lr} が流れ、コンデンサ C_r の両端には正の共振電圧 V_{cr} が発生する。次にスイッチング素子 SM2 にゲート信号 s_2 が与えられると、共振電流 $I_{Lr'}$ が流れ、負の共振電圧 V_{cr} が発生する。

【0007】その結果、共振電圧 V_{cr} は変圧器 TR を介して整流器 RECT で整流され、直流電圧 V_{RECT} になる。直流電圧 V_{RECT} は LC フィルタを介して平滑されて負荷 LOAD 供給される。従って、出力電圧 V_0 の制御は、電圧/周波数変換器 V/F の出力パルス p_f の周期 t_g を制御することによって行われる。

【0008】

【発明が解決しようとする課題】しかし、前述従来の共振形 DC/DC コンバータには次のような問題点がある。即ち、出力電圧 V_0 は、共振コンデンサ C_r の両端に接続した高周波変圧器 TR を介して得ている。この変圧器 TR は鉄心を利用するために、装置本体を大きくすると同時に重くする。

【0009】又、出力電圧の制御に共振周波数の周期を制御するために、変圧器 TR から騒音が発生する。更に、電圧制御では指令値と出力電圧 V_0 に偏差を零にするために電圧制御補償回路 $G(s)$ に積分要素を用いるために、急激な負荷変動が生じると、制御応答が下り、出力電圧 V_0 は大きく変化する。その結果、負荷として接続される装置を電圧破壊する原因にもなる。

【0010】本発明は、上記問題点を解消するために成されたもので、その第 1 の目的は、一石式で直列共振させ、その共振コンデンサの電圧を直接取出して負荷に供給するようにしたため、変圧器 TR を省略して小型軽量で騒音の無い共振形 DC/DC コンバータを提供することにある。

【0011】又、第 2 の目的は、負荷側にダミー抵抗を接続し、無負荷または軽負荷の場合でも直列共振を維持させることのできる共振形 DC/DC コンバータを提供することにある。

【0012】更に、第 3 の目的は、急激に負荷が変動しても出力電圧変動を小さく制御できる共振形 DC/DC コンバータを提供することにある。更に又、第 4 の目的は、電源電圧が変動した場合でも制御応答を確保し、出力電圧を常に一定に制御することを可能とした共振形 DC/DC コンバータを提供することにある。

【0013】

【課題を解決するための手段】上記第 1 の目的は請求項

4

1 の本発明の如く、直流電源に並列接続される帰還ダイオードが逆並列に接続されたスイッチング素子と共振リアクトルと共振コンデンサから成る直列共振回路と、前記共振コンデンサの電圧を整流し平滑する平滑回路と、該平滑回路の出力端に接続される負荷装置と、該負荷装置に印加される電圧を検出する電圧検出器と、負荷電圧指令値と前記電圧検出器の検出値とを比較しその偏差を増幅する制御補償回路と、該制御補償回路の出力信号の値に比例するパルス信号を発生する電圧/周波数変換器と、前記パルス信号に同期したパルスを前記スイッチング素子に与える手段を具備することによって達成出来る。

【0014】又、前記第 2 の目的は、請求項 2 の発明の如く、直流電源に並列接続される帰還ダイオードが逆並列に接続されたスイッチング素子と共振リアクトルと共振コンデンサから成る直列共振回路と、前記共振コンデンサの電圧を整流し平滑する平滑回路と、該平滑回路の出力端に接続される負荷装置と、該負荷装置に並列接続される無負荷或いは軽負荷時にオンされるスイッチとダミー抵抗の直列回路と、前記負荷装置に印加される電圧を検出する電圧検出器と、負荷電圧指令値と前記電圧検出器の検出値とを比較しその偏差を増幅する制御補償回路と、該制御補償回路の出力信号の値に比例するパルス信号を発生する電圧/周波数変換器と、前記パルス信号に同期したパルスを前記スイッチング素子に与える手段を具備することによって達成出来る。

【0015】更に前記第 3 の目的は、請求項 3 の発明の如く、直流電源に並列接続される帰還ダイオードが逆並列に接続されたスイッチング素子と共振リアクトルと共振コンデンサから成る直列共振回路と、前記共振コンデンサの電圧を整流し平滑する平滑回路と、該平滑回路の出力端に接続される負荷装置と、該負荷装置に印加される電圧を検出する電圧検出器と、負荷電圧指令値と前記電圧検出器の検出値とを比較しその偏差を増幅する制御補償回路と、前記負荷装置の電流を検出する電流検出器と、該電流検出器の検出値と前記制御補償回路の出力信号とを加算する加算器と、該加算器の出力信号の値に比例するパルス信号を発生する電圧/周波数変換器と、前記パルス信号に同期したパルスを前記スイッチング素子に与える手段を具備することによって達成出来る。

【0016】又、前記第 3 の目的は、請求項 4 の発明の如く、直流電源に並列接続される帰還ダイオードが逆並列に接続されたスイッチング素子と共振リアクトルと共振コンデンサから成る直列共振回路と、前記共振コンデンサの電圧を整流し平滑する平滑回路と、該平滑回路の出力端に接続される負荷装置と、該負荷装置に印加される電圧を検出する電圧検出器と、負荷電圧指令値と前記電圧検出器の検出値とを比較しその偏差を増幅する制御補償回路と、前記負荷装置に印加される電圧の微分値を求める微分回路と、該微分回路の微分値と前記制御補償

5

回路の出力信号とを加算する加算器と、該加算器の出力信号の値に比例するパルス信号を発生する電圧／周波数変換器と、前記パルス信号に同期したパルスを前記スイッチング素子に与える手段を具備することによっても達成出来る。

【0017】更に又、前記第4の目的は、請求項5の発明の如く、直流電源に並列接続される帰還ダイオードが逆並列に接続されたスイッチング素子と共振リアクトルと共振コンデンサから成る直列共振回路と、前記共振コンデンサの電圧を整流し平滑する平滑回路と、該平滑回路の出力端に接続される負荷装置と、該負荷装置に印加される電圧を検出する電圧検出器と、負荷電圧指令値と前記電圧検出器の検出値とを比較しその偏差を増幅する制御補償回路と、前記直流電源の電圧を検出する電源電圧検出器と、該電源電圧検出器の検出値と前記制御補償回路の出力信号とを加算する加算器と、該加算器の出力信号の値に比例するパルス信号を発生する電圧／周波数変換器と、前記パルス信号に同期したパルスを前記スイッチング素子に与える手段を具備することによって達成出来る。

【0018】

【作用】請求項1の発明によれば、直列共振回路は一石式であるため、その共振電圧を直接入力する平滑回路で構成でき、回路構成が簡単、低騒音で、小型軽量の共振形DC/DCコンバータを提供できる。

【0019】又、請求項2の発明によれば、直流電源の出力端にダミー抵抗を設けることによって無負荷又は軽負荷の場合、共振コンデンサCrの共振電流Icrの放電を助け、常に電圧制御を可能とした共振形DC/DCコンバータを提供できる。

【0020】更に、請求項3の発明によれば、出力電流を検出し、その検出値を制御信号に加えて電圧制御を行い負荷の変化に対して発生する出力電圧の変動を抑える補償回路を設けた共振形DC/DCコンバータを提供できる。

【0021】又、請求項4の発明によれば、出力電圧の微分値を制御信号に加えて、電圧制御を行い、上記3と同様な効果を得る共振形DC/DCコンバータを提供できる。又、請求項5の発明によれば、直流電圧を検出し、その検出値を制御信号に加えて電圧制御を行い、直

流電圧が変動した場合でも出力電圧への影響を小さくする補償回路を設けた共振形DC/DCコンバータを提供

【0022】

$$f_r = \frac{1}{2\pi\sqrt{C_r \cdot L_r}}$$

$$I_p = V_d \sqrt{\frac{C_r}{L_r}}$$

*

..... (1)

..... (2)

6

*【実施例】図1は、本発明の共振形DC/DCコンバータの一実施例を示す主回路構成図と制御回路のブロック図である。図中、VCは直流電源Vdと、直流コンデンサCdで構成される電源回路、RCは直列共振回路で、SHは自己消弧機能を有するスイッチング素子、DF1は帰還ダイオード、Lrは共振リアクトル、Crは共振コンデンサである。

【0023】LCは直流平滑回路で、DF2とDF3はダイオード、L0とC0はLCフィルタを構成するリアクトルとコンデンサである。Ptは負荷電圧検出器、LOADは負荷である。

【0024】制御回路として、比較器C、電圧制御補償回路G(s)、電圧／周波数変換器V/F、波形整形回路Pwid及びゲート回路Gatが設けられている。制御動作は指令値Vrefと出力電圧検出値VLを比較し、その出力偏差erを電圧制御補償回路G(s)に入力する。の電圧制御補償回路G(s)は指令値Vrefと検出値VLを一致させるために、比例P+積分I回路で構成される。

【0025】電圧制御補償回路G(s)の出力信号efは電圧／周波数変換器V/Fに入力し、信号efに比例したパルス周波数pfに変換される。パルスpfは波形整形回路Pwidに入力され、一定幅のパルスsgに変換され、ゲート回路Gatを介して、ゲート信号slとして、スイッチング素子SHに与えられる。

【0026】図2は本発明の動作を説明するための動作波形図である。電圧／周波数変換器V/Fのパルスpfに同期したゲート信号slがスイッチング素子SHに与えられると、共振リアクトルLrと共振コンデンサCrの間に共振電流ILrが流れ、その結果、共振コンデンサCrの両端には共振電圧Vcrが発生する。

【0027】この場合、共振時の電流経路は次のようになる。充電時は、電源回路VC→スイッチング素子SH→共振リアクトルLr→共振コンデンサCrの経路で流れる。

【0028】放電時は、共振コンデンサCr→共振リアクトルLr→帰還ダイオードDF1→電源回路VCの経路で流れる。その結果、共振コンデンサCrの両端には電源電圧Vdの2倍のピーク電圧の共振電圧Vcrが発生する。この場合、共振周波数fr、共振のピーク電圧及びピーク電流は次式で求められる。

【0029】

【数1】

7

[0030]

$$V_p = 2 \cdot V_d$$

従って、ゲート周期 t_g と共振周波数の周期 t_r が $t_r = t_g$ の場合に最大の出力電圧 V_{RECT} が得られる。その平均値 V_{RECT} は電源電圧 V_d に等しくなる。

【0031】電圧制御は、比較器Cで電圧指令値 V_{ref} と検出値 V_L を比較し、出力偏差 $e_r = V_{ref} - V_L$ を出力する。当該偏差 e_r は電圧制御補償回路 $G(s)$ に入力され、その出力 e_f を電圧／周波数変換器 V/F へ入力する。電圧／周波数変換器 V/F は入力電圧 e_f に比例したパルス p_f を出力し、波形整形回路 P_{wid} に入力する。

【0032】波形整形回路 P_{wid} は入力パルス p_f の幅 t_p は共振周波数 f_r の周期 t_r に対して、 $t_r/2 < t_p < t_r$ の範囲のパルス s_g に設定される（零電流スイッチング動作をさせる）。パルス s_g はゲート回路 G_{at} を介してスイッチング素子 SM にゲート信号 s_1 として与える。

【0033】次に制御動作を説明する。初めに $V_{ref} < V_L$ の場合、正の偏差 e_r が発生し電圧制御補償回路 $G(s)$ の出力 e_f が増幅され、電圧／周波数変換器 V/F のパルス数が増加する。その結果、共振の回数が増加し、出力電圧 V_L が大きくなり、指令値 V_{ref} に一致するように制御される。

【0034】 $V_{ref} > V_L$ の場合、負の偏差 e_r が発生し、 e_f の減少によって電圧／周波数変換器 V/F のパルス数 p_f が減少する。その結果、共振の回数が減少し、出力電圧 V_0 が下がり、指令値 V_{ref} に一致するように制御される。

【0035】以上説明のように、直列共振回路を一石式で構成すると、その共振電圧を直接取出して平滑する回路及び共振の回数を制御して負荷電圧を制御する制御回路で構成することによって、回路構成が簡単、低騒音、低損失で小型軽量の共振形 DCV/DV コンバータを提供できる。

【0036】図3は、直列共振を持続させるためのスイッチ S_w とダミー抵抗 R_d で構成される回路 SC を出力端に設けた構成図である。無負荷の場合、共振電流 I_{Lr} は共振電圧 V_{cr} が直流電圧 V_d より大きい期間内は共振コンデンサ $C_r \rightarrow$ 共振リアクトル $L_r \rightarrow$ 帰還ダイオード $DF1 \rightarrow$ 直流電源 V_d の経路で放電されるが、共振電圧 V_{cr} が直流電圧 V_d 以下になると、放電経路がなくなり直列共振が止る。その結果、負荷電圧制御が不可能になる。

【0037】上記の問題を解決する手段として、回路 SC のスイッチ S_w を無負荷または軽負荷の場合に投入し、共振電流 I_{cr} を共振コンデンサ $C_r \rightarrow$ ダイオード $DF2 \rightarrow$ リアクトル $L_0 \rightarrow$ スwitch $S_w \rightarrow$ ダミー抵抗 $R_d \rightarrow$ 共振コンデンサ C_r の経路で放電させる。その結果、共振は持続して電圧制御が可能となる。2. 図4は負荷電

8

..... (3)

圧変動を抑えるために出力電流 I_L を検出する電流検出器 C_t を設けた場合の構成図を示す。

【0038】制御は、電圧制御補償回路 $G(s)$ の出力 e_f と検出値 V_i を加算器 A で加算し、その出力 $e_f' = V_i + e_f$ を電圧／周波数変換器 V/F に入力する。この制御動作について説明する。

【0039】負荷が軽負荷から重負荷に変化すると、出力電流 I_L が増加し、電流検出値も増える。その検出値 V_i は電圧制御補償回路 $G(s)$ の出力値 e_f に加算され、信号 $e_f' = V_i + e_f$ として、電圧／周波数変換器 V/F に入力する。

【0040】その結果、電圧／周波数変換器 V/F の出力パルス数 p_f が増加し、出力電圧 V_0 が大きくなる。重負荷から軽負荷に変化した場合は出力電流 I_L が減少し、検出値 V_i も減る。その結果、 e_f' が小さくなり、電圧／周波数変換器 V/F の出力パルス数 p_f が減少し、出力電圧 V_0 が小さくなる。

【0041】以上のように、電圧制御補償回路 $G(s)$ の出力信号 e_f よりも応答の速い制御信号 V_i を前向に加算して出力電圧を制御すると、負荷が急変した場合に起る出力電圧 V_0 の変動を小さく抑えることができる。

3. 図5は上記2と同様な効果を得られる制御回路構成を示す。出力電圧 V_0 の検出値 V_L を1階微分を行う並列補償回路 $G_d(s)$ を設け、その微分値 V_b を制御信号 e_f と加算し、信号 $e_f' = e_f + V_b$ を電圧／周波数変換器 V/F に入力する。制御動作は上記2の場合と同じなので省略する。4. 図6は直流車両の補助電源へ適用した場合の構成図を示す。

【0042】一般に直流車両の補助電源は補機類の電源として使われるために一定電圧を必要とする。しかし、直流き電電圧 V_{ss} の電圧変動は非常に大きい。そのため、図1で示した制御構成だけでは、き電電圧の電圧変動が DC/DC コンバータの出力電圧に影響を与え、単なる電圧制御だけでは一定した負荷電圧 V_L を得ることが困難になる。

【0043】図中、 BU はき電線、 PNG はパンタグラフ、 MD は車輪、 Br はレール、 Pts はき電電圧を検出する電圧検出器を示す。制御回路は、電圧／周波数変換器 V/F の前に加算器 A を設け、電圧検出器 Pts の検出値 V_{cc} を加算する。その他の構成要素は図1と同一なのでその説明は省略する。

【0044】上記の問題を解決するために、き電電圧 V_{ss} の検出値 V_{cc} と電圧制御補償回路 $G(s)$ の出力値 e_f を加算器 A で加算し、その出力値 $e_f' = e_f + V_{cc}$ を電圧／周波数変換器 V/F に与える。

【0045】制御動作は電圧 V_{ss} が下った場合には加算値 e_f' を小さくするように検出値 V_{cc} を与える。その結果、き電電圧 V_{ss} が下った場合は電圧／周波数変換器

50

9

V/F の出力パルス数 $p f$ が増加させて出力電圧 V_0 を制御する。

【0046】き電電圧 V_{ss} が上がった場合は電圧／周波数変換器 V/F の出力パルス数 $p f$ が減少させて出力電圧 V_0 を制御する。以上のように、き電電圧 V_{ss} を検出して、その信号 V_{cc} を制御に取入れて電圧制御を行うと、き電電圧 V_{ss} が変動した場合でも安定した出力電圧 V_0 が得られる。

【0047】

【発明の効果】以上説明のように、請求項1の発明によれば、一石式直列共振回路と、共振コンデンサの電圧を整流し平滑する平滑回路と、出力電圧を制御する回路で構成することによって、回路構成が簡単、低損失、低騒音で小型軽量の共振形DC/DCコンバータを提供できる。

【0048】又、請求項2の発明によれば、平滑回路の出力側に無負荷或いは軽負荷時にスイッチを介してダミー抵抗を接続することによ無負荷或いは軽負荷時にも直列共振を持続することが出来る 共振形DC/DCコンバータを提供できる。

【0049】更に、請求項3の発明によれば、負荷装置の電流を検出する電流検出器の検出値と制御補償回路の出力信号とを加算する加算器を設けることによって、負荷変動によって起きる電圧変動を抑えることができる共振形DC/DCコンバータを提供できる。

【0050】又、請求項4の発明によれば、負荷装置に印加される電圧の微分値と制御補償回路の出力信号とを加算する加算器を設けることによって、負荷変動によって起きる電圧変動を抑えることができる共振形DC/DCコンバータを提供できる。

【0051】更に又、請求項5の発明によれば、車両に適用した場合、き電電圧の検出値によるフィードフォワード補償を行うことで、き電電圧の変動による負荷電圧への影響を少なくし得る共振形DC/DCコンバータを提供できる。

【図面の簡単な説明】

【図1】本発明の一実施例を示す共振形DC/DCコンバータの構成図。

【図2】【図1】の動作を説明するための動作波形図。

【図3】本発明の他の実施例を示す共振形DC/DCコ 40

10

ンバータのブロック図。

【図4】本発明の更に他の実施例を示す共振形DC/DCコンバータのブロック図。

【図5】本発明の別の実施例を示す共振形DC/DCコンバータのブロック図。

【図6】本発明の更に別の実施例を示す共振形DC/DCコンバータのブロック図。

【図7】従来の共振形DC/DCコンバータ主回路構成図。

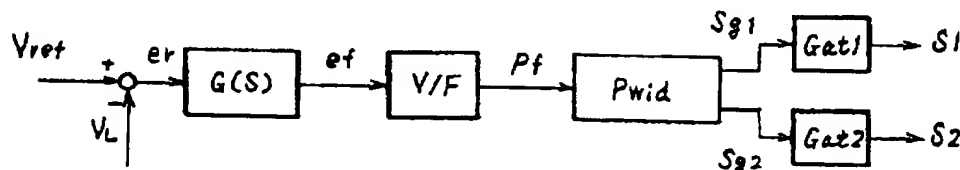
【図8】【図7】の従来の共振形DC/DCコンバータを制御する制御ブロック図

【図9】従来の共振形DC/DCコンバータの動作を説明するための動作波形図。

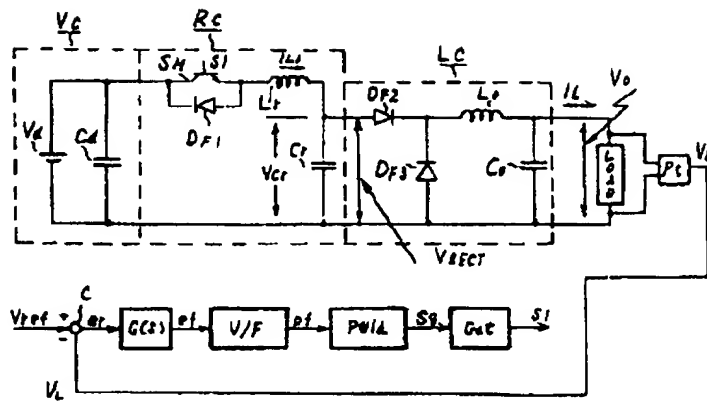
【符号の説明】

VC	…直流電源回路	RC
…共振回路		
LC	…平滑回路	Vd1, Vd2
…直流電源		
SM1, SM2	…スイッチング素子	DF1
…帰還ダイオード		
Cd	…電源コンデンサ	LOAD
…負荷		
Cr	…共振コンデンサ	Lr
…共振リアクトル		
L0	…平滑リアクトル	C0
…平滑コンデンサ		
Pt	…電圧検出器	C
…比較器		
G(s)	…電圧制御補償回路	V/F
…電圧／周波数変換器		
A	…加算器	Pwid
…パルス整形回路		
Gat1, Gat2	…ゲート回路	TR
…トランス		
RECT	…ダイオード整流器	BU
…き電線		
MD	…車輪	Rr
…レール		
PNG	…パンタグラフ	

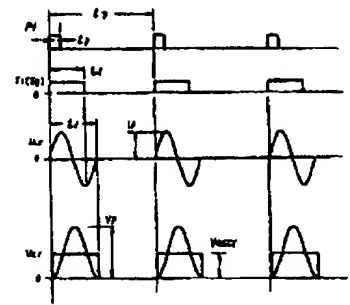
【図8】



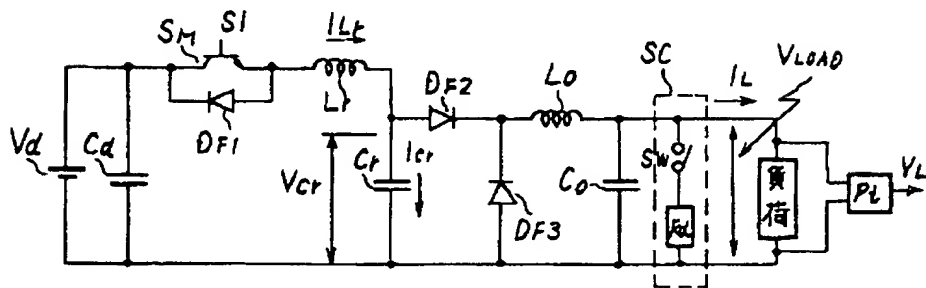
【図1】



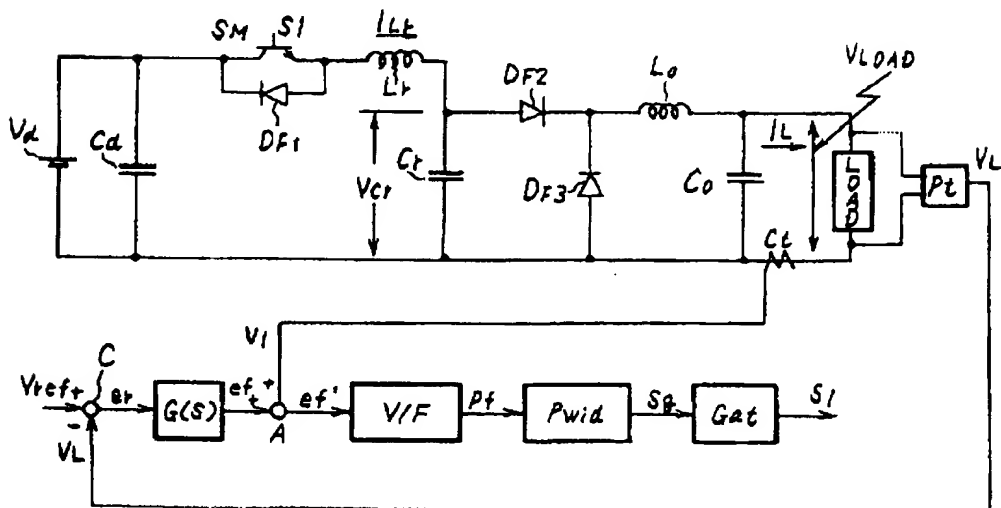
【図2】



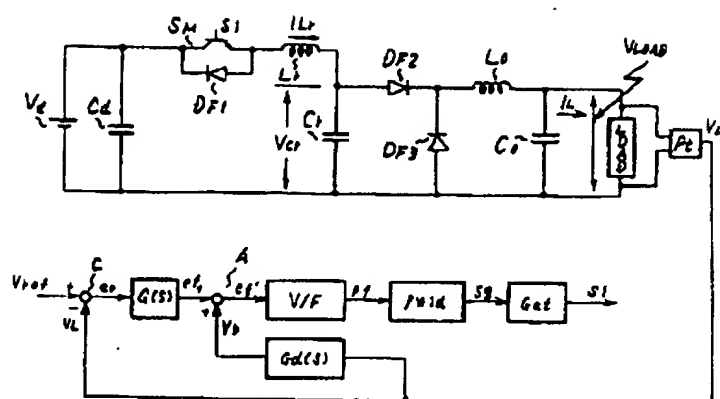
【図3】



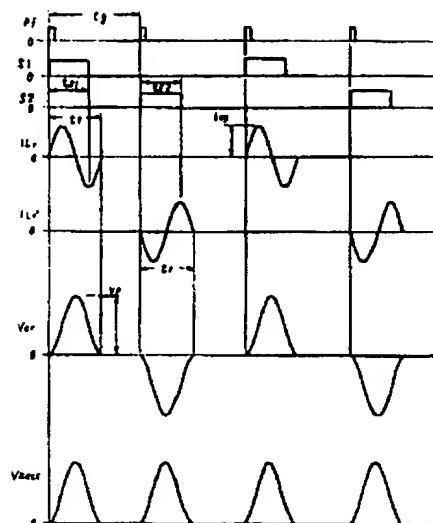
【図4】



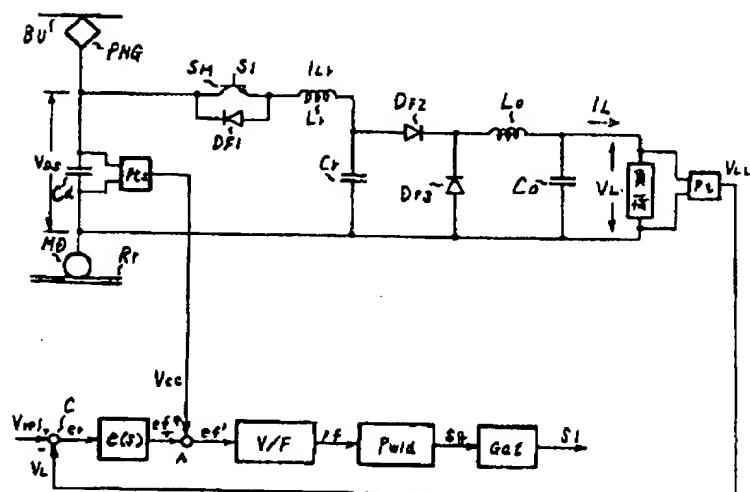
〔図5〕



〔図9〕



〔図6〕



【図 7】

